

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-255252
(43)Date of publication of application : 10.09.2003

(51)Int.CI.

G02B 26/10

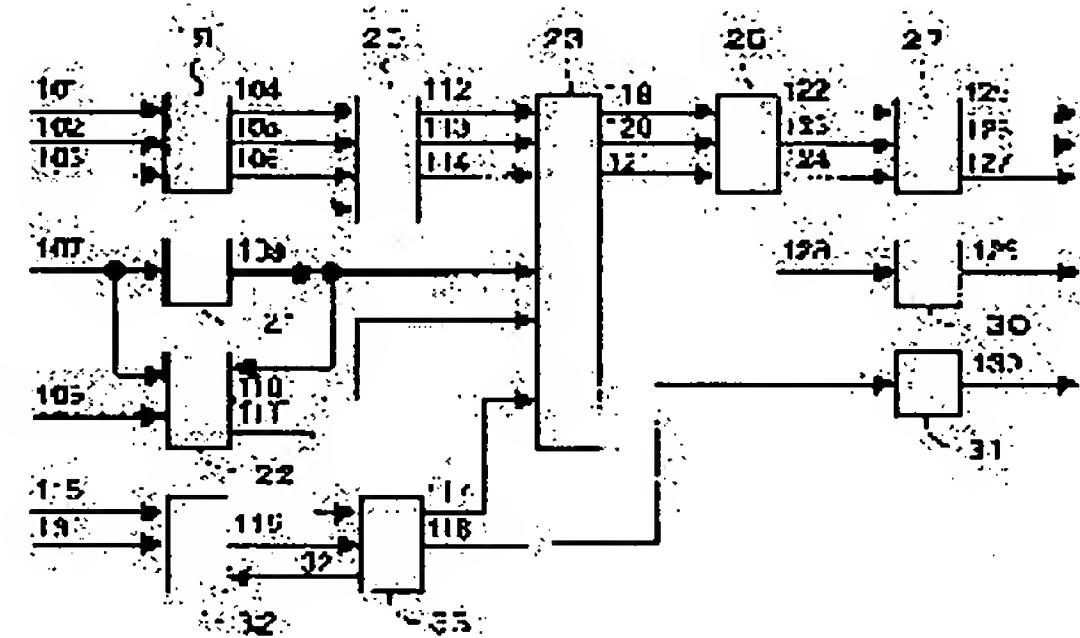
(21)Application number : 2002-060162
(22)Date of filing : 06.03.2002

(71)Applicant : RICOH CO LTD
(72)Inventor : MURAI TOSHIHARU

(54) OPTICAL SCAN TYPE IMAGE DISPLAY DEVICE AND SPECKLE REMOVAL METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To solve the problem that the cost rises and the power consumption is increased. **SOLUTION:** With respect to an optical scan type image display device which is provided with a beam modulation means for modulating a light beam in accordance with pixel data and a scanning means for causing the light beam modulated by the modulation means to scan and repeats scanning of the scanning means to form a display image, pixel displacing means 32 and 33 are provided which change a display pixel position during the repeated scanning.



リーン14に取かれ、結果的にスクリーン14上に画像が表示される。

【0008】次に、図8(b)に示す制御系について説明する。信号101、102および103は、それぞれ入力される赤色、緑色および青色の各アナログ画像信号であり、ビデオアンプ19で適切なレベルに增幅される。また、信号107および108はそれぞれ入力画像信号101～103に対応する水平および垂直の同期信号である。同期クロック抽出回路21は、入力される水平同期信号107から画像信号101～103に同期したクロック109を再生出力する。ビデオアンプ19からの画像信号104～106は、A/D変換器20に入力され、ここで同期クロック抽出回路21からの同期クロック109に基づきデジタルの画像データ112～114に変換される。

【0009】書き込みアドレス生成回路22は、水平同期信号107により1フレーム期間内の水平同期信号バルスをカウントすることにより走査線数を検知し、同期クロック抽出回路21からの同期クロック109により1水平走査期間内の有効画素数を検知することで、フレームメモリ23への書き込みアドレス110を生成出力するとともに、入力画像の画素数データ111を出力する。ここで、フレームメモリ23の書き込みアドレスは主走査方向にあたる水平方向アドレス部と副走査方向にあたる垂直方向アドレス部から成る。

【0010】フレームメモリ23は、A/D変換器20からの画像データ112～114が書き込みアドレス生成回路22からの書き込みアドレス110に従い、同期クロック抽出回路21からの同期クロック109に同期して順次に書き込まれる。なおフレームメモリ23は、後述する読み出しス117によって、上記書き込み系とは非同期に読み出しが可能なデュアルポート機能を持つメモリである。

【0011】同期クロック生成回路24は、ポリゴンミラーリーの回転によって生成される後述の同期接知信号115に同期したクロック116を生成する。制御回路25は、書き込みアドレス生成回路22からの入力画像の画素数データ111からフレームメモリ23に記憶された画像データの読み出しアドレス117を同期クロック生成回路24からの同期クロック116に同期して生成するとともに、ポリゴンミラーリーの回転に同期してガルバノミラー制御信号118を生成出力する。

【0012】フレームメモリ23に記憶された画像データは制御回路25からの読み出しアドレス117にしたがって読み出される。このフレームメモリ23から読み出された画像データ119～121は、D/A変換器26にてアログの画像信号122～124に変換され、出力アンプ27にて増幅されてそれを対応する光変調器4～6に入力される。ポリゴンモータ駆動回路30は、クロック信号128の周波数に基づく駆動信号129を生成し、上記ポリゴンモータに出力する。ポリゴンモータはポリゴンモータ駆動回路30からの駆動信号129により駆動されてクロック信号128の周波

数に応じた速度で回転するACモータである。また、ガルバノモータ駆動回路31は制御回路25からのガルバノミラーモータ駆動信号130を生成して上記ガルバノモータに出力する。

【0013】図9は、図8に示す光走査型プロジェクタにおける水平および垂直方向の走査タイミングおよび駆動波形を概略的に示す。図9の(a)は同期接知信号115と同期クロック116の関係を示し、図9の(b)は同期接知信号115とガルバノモータ駆動信号130の関係を示す。

【0014】同期接知信号115はポリゴンミラー11により1水平走査期間Aを1周期とするバルス信号である。同期クロック116は、同期接知信号115の立ち上がり遷移のたびに同期して出力される。そして、先頭画素描画タイミングクロックDから水平方向の画素描画が開始され、最終画素描画タイミングEで1ライン分の描画が終了する。

【0015】ガルバノモータ駆動信号130は同期接知信号115に同期して電圧V1からV2までが1フレーム周期Fで変化する锯波であり、垂直有効走査期間Gにおいて走査線数Nの入力画像がスクリーン14上に描画される。最終Nライン目の描画を終了すると、垂直帰線期間Hで1ライン目の描画に対応した状態に戻る。

【0016】さて、このようないーザ光を用いた光走査型プロジェクタにおいては、表示画面にスペックルと言われるちらつきが現われて画質を劣化させるとともに表示画面を観る人に目の疲労などの不快感を与えるという問題があり、従来から様々な対策が提案されている。

【0017】スペックル対策の主な方法としては、(1)画像を形成するスクリーンに動的手段を持たせてスペックルバーンを平均化する方法、(2)レーザ光のコヒーレンスを低下させる方法、などが挙げられる。

【0018】上記(1)の方法の一例としては、特開2001-100317号公報に記載されている「画像投影用スクリーン」がある。これは、画像投影用スクリーンを構成する少なくとも1つの光拡散層を内部振動させることによって形成され、入射光が光拡散層を通過することによって形成される散乱波の分布や相位を時間的に変化させてスペックルの発生を軽減し除去しようとするものである。

【0019】その具体的な方法としては、
①高分子電解質ゲルを分散させた光拡散層を透明電極で挟み、その印加電圧を変化させる方法、
②光拡散層として電気性フィルムを使用し、その表面を粗面化して透明電極で挟み、これに交流電圧を印加して電気的に力学的振動モードを光拡散層に誘起させる方法、
などが特開2001-100317号公報に開示されている。

【0020】上記(2)の方法の一例としては、特表平9-504920号公報に記載されている「レーーザを使用した高解像度画像映写システム及び方法」である。これは、光の経路の途中に光拡散材料を有する構造体を設け、該構造体を移動させることによってレーザ光のコヒーレンスを低下させてスペックルを除去することを目的とする。

ンスを低下させてスペックルを除去しようとするものである。

【0021】上記(2)の方法の一例としては、特開2001-189520号公報に記載されている「光源接続およびそれを用いた投影型表示装置」がある。これは、レーザ光源として半導体レーザを用い、該半導体レーザをバルス駆動する際に生じる粒子固有の緩和振動状態でビームのコヒーレンスを低下させてスペックルを除去しようとするものである。これは、ステップ状の駆動電流が半導体レーザに注入されたときに活性層内の注入キャリヤ密度と光子密度の過渡応答時の位相ずれにより生じる発光スペクトルの多モード化を利用したものである。

【0022】

【発明が解決しようとする課題】特開2001-100317号公報に記載されている画像投影用スクリーンでは、スクリーンの構成が複雑化するとともに、拡散層をスクリーン全体において形成するのが技術的に困難であり、極めて高コストになる。
・スクリーン全体について拡散層を振動させなければならず、消費電力が増加する、といった問題が生じる。これらの問題は大画面化に伴つてより頭着になり、実現性が極めて困難になる。

【0023】特表平9-504920号公報に記載されている「レーーザを使用した高解像度画像映写システム及び方法」では、
・光拡散材料を有する構造体を新規に設ける必要があり、装置全体が大型化するとともにコスト高になる。
・ビームの透過率が減少するために効率が低下し、レーザ光源のハイパワー化が要求され消費電力が増大する、といった問題が生じる。

【0024】特開2001-189520号公報に記載されている「光源接続およびそれを用いた投射型表示装置」では、半導体レーザは緑色および青色についてはその技術的困難性から未だ実現化には至っておらず、したがって光源として半導体レーザにしか適用できないという問題がある。

【0025】本発明は、上記從来技術の問題を解決すべく、スペックルのない高品質の画像表示を可能とする光走査型画像表示装置、及びコスト上昇や消費電力増大を伴うことなくスペックルを除去することができるスペックル除去方法を提供することを目的とする。また、本発明は、どの装置においても常に高品質の画像が容易に得られる光走査型画像表示装置を提供することを目的とする。さらに、本発明は、スペックルを除去する最適の変位あるいは変位モードが各色によって異なる場合にも容易に対応できて高品質の画像表示が得られる光走査型画像表示装置を提供することを目的とする。

【発明の実施の形態】本発明の実施形態は、光ビームの繰り返し走査において、表示画素位置を適当な変位量とモードで繰り返することによりスペックルバーンを時間的に分散して平均化し、表示画面上のスペックルを除去するものである。ここで、変位モードとは、画素を運動変

ムを変調するビーム変調手段と、この変調手段によって変調された光ビームを走査する走査手段とを有し、この走査手段による走査を繰り返し行うことににより表示画像を形成する光走査型画像表示装置において、前記繰り返し走査のなかで表示画素位置を変える画素変位手段を設けたものである。

【0027】請求項2に係る発明は、請求項1記載の光走査型画像表示装置において、前記表示画素位置の変位手段を任意に調整可能とする変位量調整手段を設けたものである。

【0028】請求項3に係る発明は、請求項1または2記載の光走査型画像表示装置において、前記表示画素位置の変位手段を任意に設定可能とするモード設定手段を設けたものである。

【0029】請求項4に係る発明は、請求項1～3のいずれか1つに記載の光走査型画像表示装置において、前記画素変位手段は、前記光ビームの変調タイミングを制御する変調タイミング制御手段を有するものである。

【0030】請求項5に係る発明は、請求項4記載の光走査型画像表示装置において、前記変調タイミング制御手段は、同一周期で位相が互いに異なる複数のクロックを生成する変調クロック生成手段と、前記複数クロックのうちのいずれかを前記光ビームの変調を制御するクロックとして選択するクロック選択手段を有するものである。

【0031】請求項6に係る発明は、請求項1～5のいずれか1つに記載の光走査型画像表示装置において、前記画素変位手段は、前記走査範囲制御手段を有する電圧制御手段を有するものである。

【0032】請求項7に係る発明は、請求項6記載の光走査型画像表示装置において、前記走査範囲制御手段は前記印加電圧を制御する電圧制御手段を有するものである。

【0033】請求項8に係る発明は、請求項1～7のいずれか1つに記載の光走査型画像表示装置において、前記画素変位手段は、前記走査範囲制御手段を前記印加電圧を制御する電圧制御手段を有するものである。

【0034】請求項9に係る発明は、画素データに応じて光ビームを変調し、この変調した光ビームを繰り返し走査することにより表示画像を形成する光走査型画像表示装置において、前記画素変位手段を各ビームごとに設けたものである。

【0035】

位させるパターンのことであり、例えば図3の(b)に示すように画素を水平方向及び垂直方向に運動させるモードの例としては図3の(b)～(d)などが考えられる。

【0036】スペックルを除去する最適の変位量あるいは変位モードはレーザ光源等構成部品の特性ばらつきや経時的な特性変動等によって変わるものである。そこで、本発明の実施形態は、このような問題を解決し、どの装置においても常に高品質の画像が容易に得られるようにするものである。即ち、光ビームの繰り返し走査において、表示画素位置を適当な変位量とモードで運動することによりスペックルパターンを時間的に分散して平均化し、表示画面上のスペックルを除去するものである。

【0037】光走査型画像表示装置の多くは赤色、緑色および青色の三原色の光ビームを発生し、これらを合成することによりカラー画像を表示する。このような光走査型画像表示装置においては、スペックルを除去する最適の変位量あるいは変位モードは各色によって異なる場合がある。そこで、本発明の実施形態は、このような場合にも容易に対応できて高品質の画像表示が得られるも

前記繰り返し走査のなかで表示画素位置を変える画素変位手段としての同期クロック生成回路32及び制御回路33を設けたので、画像表示のための繰り返し走査のなかで表示画素位置を変位させることでスペックルを除去することができ、低コスト、低消費電力で且つスペックルのない高画像品質の光走査型画像表示装置を実現することができる。

【0041】また、実施形態1のスペックル除去方法は、画素データに応じて光ビームを変調し、この変調した光ビームを繰り返し走査することにより表示画像を形成する光走査型画像表示装置のスペックル除去方法であって、前記繰り返し走査のなかで表示画素位置を振動変位させるので、画像表示のための繰り返し走査のなかで表示画素位置を変位させることでスペックルを除去することができ、低コスト、低消費電力で且つスペックルのない高画像品質の画像が得られる。

【0042】また、実施形態1によれば、表示画素位置の変位量を任意に調整可能とする変位量調整手段としての制御回路33及び上記調整手段を設けたので、構成部品

【0046】この実施形態1によれば、変調タイミング制御手段としての同期クロック生成回路32及び制御回路33は、同一周期で位相が互いに異なる枚数のクロック1340～1341を生成する変調クロック生成手段としての同期回路34及び分周/移相回路35と、複数クロック1340～134nのうちのいずれか1つを光ビームの変調を制御するクロックとして選択するクロック選択手段としての選択回路36とを有するので、特別な構成を必要とすることなく簡単な制御でスペックルを除去する手段を実現できる。

【0047】図4は本発明の実施形態2である光走査型プロジェクトの構成例における制御系の構成を示す。この実施形態2は、前述した図8(b)に示す光走査型プロジェクトを用いたものである。図4に示す制御系では、図8(b)に示す制御系において、同期クロック生成回路24の代りに同期クロック生成回路32が用いられて制御回路25の代りに制御回路40が用いられ、信号137～140が新規に追加され、ガルバノモータ駆動回路31の代りにガルバノモータ駆動回路39が用いられ、制御電圧発生回路38が新規に追加されている。

【0048】制御回路40は1フレーム期間ごと又は2フレーム期間ごとに状態が周期的に遷移する信号139および140を生成し、それぞれ同期クロック生成回路32および38が新規に追加されている。

【0049】制御回路33が用いられ、ガルバノモータ駆動回路31の代りにガルバノモータ駆動回路39が用いられ、制御電圧発生回路38が新規に追加され、信号132が制御回路33から制御回路33が用いられ、ガルバノモータ駆動回路31の代りにガルバノモータ駆動回路39が用いられ、制御電圧発生回路38が新規に追加され、信号132が制御回路33から制

【0038】図11は本発明の実施形態1である光走査型プロジェクトの構成例における制御系の構成を示す。この実施形態1は、前述した図8に示す光走査型プロジェクトにおいて、図8(b)に示す制御系の代りに図1に示す制御系を用いたものである。図1に示す制御系では、図8(b)に示す制御系において、同期クロック生成回路24の代りに同期クロック生成回路32が用いられ、制御回路25の代りに制御回路33が用いられ、信号131および132が新規に追加されている。

【0039】制御回路33は、1フレーム期間が終了するごとに状態が遷移する信号132を生成し、同期クロック生成回路32に送出する。同期クロック生成回路32は、同期回路34に同期したクロック116の位相を制御回路

るとともに調整が容易になつて且産性を向上させることができる、低コスト化を図ることができる。しかも、経的な特性変動等に対して容易に対応できるようになり、製品としての長寿命化を図ることができる。

【0043】さらに、実施形態1によれば、画素変位手段としての同期クロック生成回路32及び制御回路33は、光ビームの変調タイミングを制御する変調タイミング制御手段を有するので、光ビームの変調タイミングを制御するこどにより表示画素位置を運動変位させることができる、特別な構成を必要とするこどなく簡単な制御でスペックルを除去する手段を実現できる。

【0044】図2は上記実施形態1における同期クロック生成回路32の構成例を示す。同期回路34は、同期回路32の構成例を示す。

【0048】制御回路33は、制御回路25と同様に同期に每逢い込みアドレス生成回路22からの入力画像の画素数データ111からフレームメモリ23に記憶された画像データの読み出しアドレス117を同期クロック生成回路24からの同期クロック116に同期して生成するとともに、ポリゴンミラー11の回転に同期してガルバノミラー制御信号118を生成出し、かつ、制御信号132を制御電圧発生回路38に出力する。

【0049】制御電圧発生回路38は制御回路33からの制御信号132に応じて出力電圧136の値を1フレーム周期で周期的に変化させる。ガルバノモータ駆動回路39は、制御回路33からのガルバノミラー制御信号118に制御電圧発生回路38の出力電圧136を重畠して出力する。

【0050】信号137および138は、それぞれ信号139および140について1フレーム期間ごとに遷移するか2フレーム期間ごとに遷移するかを設定する信号であり、ユーザによって図示しない設定手段により任意により設定可能

路321は、同期接続信号115に同期したクロック116の位相を制御回路40からの信号139に基き1フレーム周期ごと又は2フレーム期間ごとに周期的に変化させる。

【0054】制御電圧発生回路38は制御回路40からの制御信号140に応じて出力電圧136の値を1フレーム周期又は2フレーム期間ごとに周期的に変化させる。ガルバノモータ駆動回路39は、制御回路40からのガルバノミラー制御信号118に制御電圧発生回路38の出力電圧136を重畠して出力する。

【0055】信号137および138は、それぞれ信号139および140について1フレーム期間ごとに遷移するか2フレーム期間ごとに遷移するかを設定する信号であり、ユーザにより設定可能

【0045】選択回路36は、分周／移相回路37を生成する。分周／移相回路37は、同期回路34からの基準クロック133を分周するとともに移相し、同一周期で位相が互いに異なる複数のクロック1340～134nを生成する。

【0046】選択回路36は、分周／移相回路35からの複数クロック1340～134nのうちの一つを後述する信号135に基づき選択し、同期クロック116として出力する。ゲート回路37は、上記信号131に基づき制御回路33からの信号122の通過と遮断を制御する。信号132がゲート回路37を通過する状態にあるときには、ゲート回路37を通過した信号がそのまま上述の信号135となる。信号132がゲート回路37で遮断される状態にあるときには、ゲート回路37から出力される信号135が所定の値になり、選択回路36が分周

ノモータ駆動信号130は、図5に示すように制御電圧発生回路38の出力電圧136に応じて、フレーム間で電圧範囲がV1～V2とV1'～V2'とに交互に変化する。これによつて、ガルバノミラー13による走査範囲が周期的に変化し、すなわちスクリーン14上の各画素位置は連続するフレーム間において制御電圧発生回路38の出力電圧136に応じた分だけ垂直方向に変位する。

【0050】この実施形態2によれば、画素変位手段は、走査手段としてのガルバノミラー13の走査範囲を制御する走査範囲制御手段としての制御回路33及び制御電圧発生回路38を有するので、走査範囲を制御することにより表示画素位置を運動変位させることができ、特別な構成を必要とすることなく簡単な制御でスペックルを除去する。

【0056】この実施形態3によれば、表示画素位置の変位のモードを任意に設定可能とするモード設定手段（信号139および140を設定する手段）を設けたので、構成部品の要求精度を緩和して安価な部品を使用することができますとともに調整が容易になつて量産性を向上させることができ、低コスト化を図ることができる。しかも、経時的な特性変動等に対して容易に対応できるようになり、製品としての長寿命化を図ることができる。

多相回路35からの枚数クロック1340～134nのうちの特定のクロックを選択する。したがって、例えば信号13の値を上記特定の値と同じにすれば、画素の選択位

【0051】また、実施形態2によれば、走査手段は印加される電圧に応じて角度が変化するガルバノミラー13を用いる手段を実現できる。

【0052】図7は本発明の実施形態4である光走査型プロジェクタの構成例における制御系の構成を示す。この実施形態4は、前述した図6に示す光走査型プロジェクタの構成例における制御系の構成を示す。

クタにおいて、図6(b)に示す制御系の代りに図7に示す制御系では、図6(b)に示す制御系において、フレームメモリ23の代りに3つの独立したフレームメモリ41~43が用いられて制御回路40の代りに制御回路44が用いられ、同期クロック生成回路32の代りに同期クロック生成回路45が用いられ、信号141~148が新規に追加されている。

【0058】フレームメモリ41~43は、それぞれA/D変換器20からの画像データ112~114が書き込みアドレス生成回路22からの書き込みアドレス110に従い、同期クロック抽出回路21からの同期クロック109に同期して各色毎に順次に書き込まれる。このとき、各フレームメモリ41~43の書き込みアドレスおよびクロックは共通である。

【0059】信号141~148は、上述の制御信号131、139、同期クロック116および読み出しアドレス117の関係を各ごとに設けるために追加された信号である。すなわち、同期クロック生成回路45は、ポリゴンミラー11の回転に同期して生成される同期後信号115に同期したクロック116を生成するとともに同期後信号115に同期したクロック145を生成し、このクロック145の位相を、信号141によつて設定される量だけ、信号143に基くモードで変位させる。同様に、同期クロック生成回路45は、同期後信号115に同期した同期クロック146を生成し、信号144に基くモードで変位させる。

【0060】制御回路44は、書き込みアドレス生成回路22からの入力画像の画素数データ111からフレームメモリ41に記憶された画像データの読み出しアドレス117を同期クロック生成回路45からの同期クロック116に同期して生成するとともに、フレームメモリ42、43に記憶された画像データの読み出しアドレス147および148をそれぞれ同期クロック145および146に同期して生成する。また、制御回路44は、ポリゴンミラー11の回転に同期してガルバノミラーー制御信号118を生成出力し、1フレーム期間ごと又は2フレーム期間ごとに状態が周期的に遷移する信号139および140を生成してそれぞれ同期クロック生成回路45および制御電圧発生回路38に出力する。

【0061】フレームメモリ41、42および43はそれぞれ制御回路44からの読み出しアドレス117、147および148に基いて画像データ119、120および121を各色毎に出力する。従つて、スクリーン14上の各画素位置は各ごとに応する同期クロックの位相の違いに応じた分だけ水平方向に周期的に変位する。

【0062】この実施形態4によれば、光ビームは互いに波長の異なる複数のビームを含み、制御回路44および同期クロック生成回路45により構成される画素変位手段を各ビームごとに設けたので、各ビームごとに画素位置の変位量、変位モードを設定可能となり、低コスト、低消費電力で且つスペックルのない高画像品質の光走査型力

ラー画像表示装置を実現できる。

【0063】【発明の効果】以上のように本発明によれば、画像表示のための機器に走査のなからで表示画素位置を変位させることでスペックルを除去することができ、低コスト、低消費電力で且つスペックルのない高画像品質の光走査型画像表示装置を実現することができる。また、構成部品の要求精度を緩和して安価な部品を使用することができます。また、調整が容易になって量産性を向上させることが可能となり、低コスト化を図ることができる。しかも、経時的な特性変動等に対して容易に対応できるようになります。製品としての長寿命化を図ることができる。

【0064】また、光ビームの変調タイミングのあるいは走査範囲を制御することにより表示画素位置を制御変位させることができ、特別な構成を必要とすることなく簡単な制御でスペックルを除去する手段を実現できる。さらに、各ビームごとに画素位置の変位量あるいは変位モードを設定することができます。低コスト、低消費電力で且つスペックルのない高画像品質の光走査型光像表示装置を実現できる。

【画面の簡単な説明】
【図1】本発明の実施形態1における制御系の構成を示すブロック図である。

【図2】同実施形態1において画素を水平方向及び垂直方向に走動させるモードの例を示す図である。

【図3】本発明の実施形態1における制御系の構成を示すブロック図である。

【図4】本発明の実施形態2における制御系の構成を示すブロック図である。

【図5】同実施形態2のガルバノモータ駆動信号130及び制御電圧発生回路の出力電圧136を示す図である。

【図6】本発明の実施形態3における制御系の構成を示すブロック図である。

【図7】本発明の実施形態4における制御系の構成を示すブロック図である。

【図8】最も一般的な光走査型プロジェクタのビーム生成/走査系及び制御系をそれぞれ示す斜視図及びブロック図である。

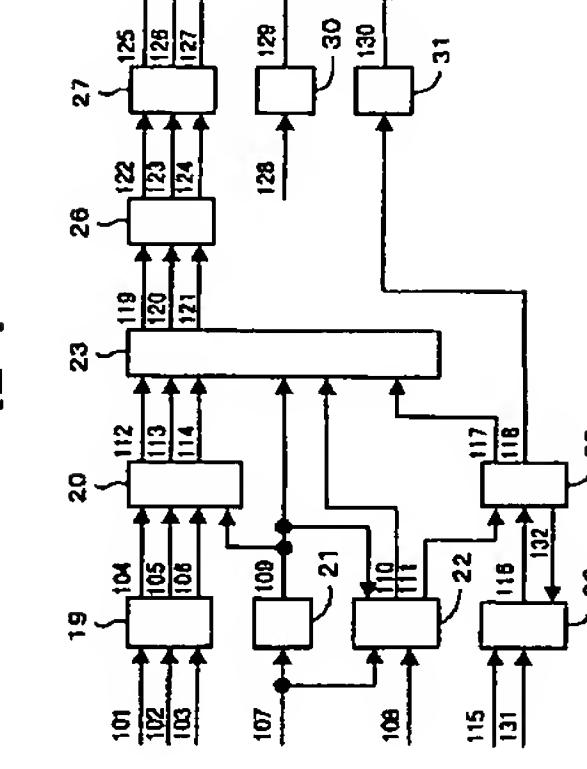
【図9】同実施形態4における水平方向および垂直方向の走査タイミングおよび駆動波形を概略的に示す図である。

【符号の説明】

1、2、3 レーザ光源
4~6 光変調器
7、12 反射ミラー
8、9 ダイクロイックミラー
11 ポリゴンミラー
13 ガルバノミラー
14 スクリーン
19 ビデオアンプ

20	A/D変換器	同期クロック抽出回路
21	書き込みアドレス生成回路	書き込みアドレス生成回路
22	フレームメモリ	フレームメモリ
23	D/A変換器	出力アンプ
26	ポリゴンモータ駆動回路	ガルバノモータ駆動回路
27	ガルバノモータ駆動回路	制御回路
30	同期クロック生成回路	同期クロック生成回路
31	ガルバノモータ駆動回路	フレームメモリ
32	同期クロック生成回路	同期クロック生成回路
33	制御回路	制御回路

【図1】



[図7]

